



## GRUPO DE ESTUDO DE ANÁLISE E TÉCNICAS DE SISTEMAS DE POTÊNCIA - GAT

### APLICAÇÃO DE TÉCNICA DE CO-SIMULAÇÃO EM TEMPO REAL COM MÚLTIPLO PASSO DE SOLUÇÃO PARA REPRESENTAÇÃO DE MODELO BENCHMARK DO CIGRÉ PARA INTEGRAÇÃO DE RECURSOS ENERGÉTICOS DISTRIBUÍDOS

**OSCAR ANTONIO SOLANO RUEDA(1); CESAR JORGE BANDIM(1); MARCOS ANTONIO GOMES DA SILVA(1); MARCOS VINÍCIOS LIMA DOS SANTOS(1)**  
**CENTRO DE PESQUISAS DE ENERGIA ELÉTRICA CEPEL(1)**

#### RESUMO

Este Informe descreve o uso da técnica de co-simulação em tempo real com múltiplo passo de solução para representar o modelo benchmark de transmissão da TB 575 do Cigré, utilizando de forma simultânea processadores tipo CPU e placa FPGA. Nesse modelo digital, a integração dos dois subsistemas é realizada mediante o algoritmo de interface de Transformador Ideal. O Informe inclui também a descrição do sistema de controle digital do conversor back-to-back da usina eólica DFIG representada. O desempenho desta abordagem é avaliado mediante comparações com seu modelo equivalente off-line de único passo de solução, considerando perturbações dinâmicas na rede.

#### PALAVRAS-CHAVE

Gerador de indução de dupla alimentação (DFIG), hardware-in-the-loop (HIL), recursos energéticos distribuídos, redes elétricas inteligentes, simulação em tempo-real.

#### 1.0 INTRODUÇÃO

O setor elétrico passa por uma transformação na direção do uso difundido de fontes renováveis e de Recursos Energéticos Distribuídos (RED), tais como geração distribuída, sistemas distribuídos de armazenamento, programas de resposta da demanda, veículos elétricos plugáveis, entre outros. Se bem a inserção de RED nos sistemas elétricos abre a porta para novas oportunidades de controle otimizado, sua integração traz desafios para a operação, proteção, estabilidade e robustez do sistema elétrico [1 [2]. Portanto, o sucesso da referida transformação depende em grande medida da disponibilidade de tecnologias que permitam uma integração econômica, robusta e ambientalmente responsável dos RED. Neste sentido, existe a necessidade de desenvolver novos métodos de ensaio e validação que permitam avaliar essas tecnologias sob o ponto de vista de confiabilidade, estabilidade e interoperabilidade, entre outros.

Uma das técnicas que tem sido adotadas por centros de pesquisa e universidades ao redor do mundo para contribuir no atendimento da referida necessidade é uso de simuladores digitais em tempo real (SDTR) e bancadas Hardware-in-the-Loop (HIL) [3]. Um SDTR é um dispositivo eletrônico capaz de simular o modelo elétrico nele representado num intervalo de tempo equivalente ao passo de solução utilizado para resolver as equações deste modelo ( $T_s$ ), ao tempo que realiza trocas de sinais com equipamentos externos sob ensaio (ESE). A conexão, em laço fechado, do SDTR com ESE cria a configuração conhecida como HIL, na qual, ao existir troca de sinais bidirecionais e em tempo real entre o simulador e o ESE, este último imitará sua operação em campo, permitindo assim avaliar seu desempenho, diante das especificidades da rede elétrica modelada, o que permite obter resultados mais representativos do que análises equivalentes considerando apenas condições ideais ou padronizadas.

A complexidade computacional de um modelo de simulação em tempo real é comumente definida como o produto entre o nível de detalhe de sua modelagem e o inverso do seu passo de simulação. Por outras palavras, para uma capacidade de computação fixa, quanto maior for o detalhamento do sistema modelado o passo mínimo de simulação atingível também será maior. Por este motivo, uma abordagem comumente empregada por SDTR comerciais é a de oferecer três ferramentas de simulação independentes: i) simulação fasorial com  $T_s$  da ordem de milissegundos para sistemas de grande porte; ii) simulação EMT com  $T_s$  da ordem de dezenas de microssegundos para sistemas menores e iii) simulação EMT com  $T_s$  da ordem de centenas de nanossegundos para a modelagem chaveada de conversores eletrônicos de potência.

Com o intuito de contribuir no estabelecimento de uma base comum de modelos de sistemas elétricos a serem utilizados na validação de novos métodos e/ou técnicas de controle no contexto de maior penetração de RED, a força tarefa C6.04 do Cigré elaborou a Brochura Técnica 575 "Benchmark Systems for Network Integration of Renewable

and Distributed Energy Resources” [4]. Dentre os benchmarks definidos na TB 575, o presente trabalho se foca no sistema de transmissão de alta tensão na configuração de 60 Hz, que é baseado numa rede física dos Estados Unidos. Assim, o presente trabalho consiste no desenvolvimento do modelo digital para simulação em tempo real deste modelo, utilizando o SDTR comercial OP5700, atividade que abre a porta para futuras aplicações HIL.

A simulação em tempo real do benchmark de transmissão da TB 575 é desafiadora, uma vez que este sistema inclui componentes com constantes de tempo bastante dispares entre elas. Por exemplo, a representação detalhada de máquinas síncronas de geração, bem como uma planta de geração eólica DFIG com modelo chaveado do conversor *back-to-back*. Portanto, se faz necessária a combinação dos modos de operação ii) e iii) mencionados anteriormente, numa abordagem conhecida como co-simulação com múltiplo passo de solução [5]. Numa co-simulação o modelo é dividido em subsistemas, função das constantes de tempo de seus componentes, cada subsistema é solucionado em paralelo e posteriormente integrado na solução global por meio do uso de um algoritmo de interface (AI) [6]. Neste trabalho é empregado o AI de Transformador Ideal.

O restante deste informe técnico está dividido da seguinte maneira: na Seção 2 é descrita a modelagem do sistema de transmissão objeto de estudo, com destaque na separação do modelo para permitir sua execução em paralelo na co-simulação, e na descrição do controlador do conversor *back-to-back* do gerador DFIG, desenvolvido neste trabalho. A Seção 3 mostra os resultados de alguns casos de estudo considerando eventos dinâmicos de avaliação de suportabilidade a subtensões decorrentes de faltas na rede (LVRT - Low Voltage Ride Through), é realizada uma comparação entre os resultados da simulação em tempo real e os obtidos com seu modelo equivalente off-line de único passo de solução. Finalmente, a Seção 4 trata das conclusões deste trabalho e das oportunidades de trabalhos futuros.

## 2.0 MODELAGEM DO MODELO BENCHMARK CIGRÉ TB575 PARA CO-SIMULAÇÃO EM TEMPO REAL

### 2.1 Descrição do Modelo benchmark de transmissão da TB 575

O sistema elétrico objeto de estudo neste trabalho é apresentado na Figura 1. Este sistema, baseado numa rede real dos Estados Unidos, inclui três níveis de tensão, 3 geradores síncronos, 1 gerador eólico tipo DFIG, linhas áreas modeladas por parâmetros distribuídos, um cabo subterrâneo, cargas e compensadores de reativos. Na TB 575 são especificados os parâmetros de todos os componentes deste sistema exceto do gerador DFIG, para o qual apenas é definida sua potência nominal, existindo flexibilidade na implementação de seu sistema de controle.

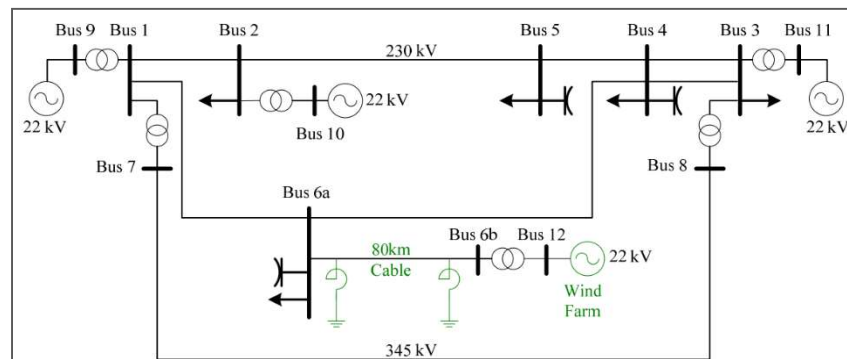


Figura 1 – Diagrama unifilar do modelo benchmark de transmissão Cigré TB 575.

Um sistema de geração DFIG, descrito esquematicamente na Figura 2, está composto por dois controladores principais: i) controle do conversor MSC (*Motor Side Converter*) e ii) controle do conversor GSC (*Grid Side Converter*). O MSC tem a função de comandar o torque eletromagnético do motor de indução procurando atingir o ponto de máxima potência. A direção da potência através do MSC depende da velocidade de rotação do gerador; na operação subsíncrona o circuito do rotor consome potência, fornecida pelo MSC; na operação supersíncrona, o circuito do rotor fornece potência à rede. O controlador utilizado neste trabalho está baseado no relatório “*Dynamic Modeling of GE 1.5 and 3.6 Wind Turbine-Generators*” [8] com uma frequência de chaveamento de 2 kHz.

O controlador do GSC, por outro lado, tem como função manter o nível de tensão do elo CC no seu valor de referência, independentemente da direção do fluxo de potência no sistema *back-to-back* [7]. Para isso, neste trabalho é utilizada a estrutura no referencial síncrono  $dq$  mostrada na Figura 3. **Erro! Fonte de referência não encontrada..** Observa-se que existem duas referências para o controlador: i) a tensão do elo CC, com valor nominal: 1150 V e ii) a corrente do referencial  $q$ , responsável pela injeção de potência reativa, que no presente trabalho foi ajustada em zero, mantendo assim um fator de potência unitário. Existem três etapas principais: PLL (Phase Locked Loop), utilizado para sincronizar o conversor com a tensão no ponto de conexão, controle interno de corrente – que utiliza

controladores do tipo PI em conjunto com um laço de alimentação antecipada (feed-forward) e a determinação dos pulsos de chaveamento PWM, mediante comparação com uma portadora triangular.

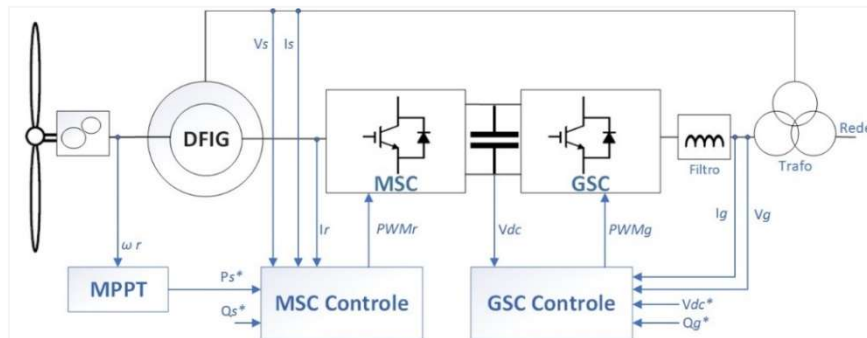


Figura 2 – Descrição geral dos controladores do gerador DFIG.

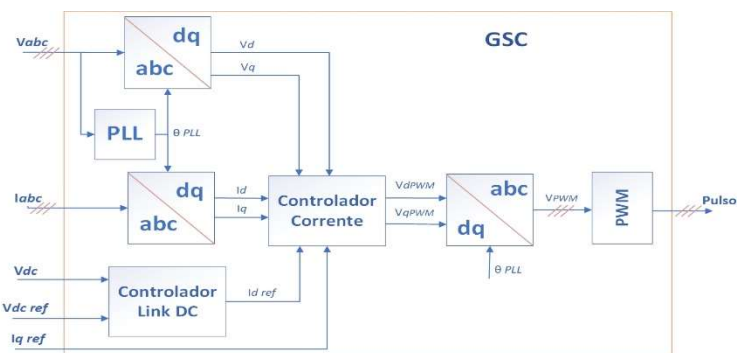


Figura 3 – Estrutura de controle do conversor GSC.

## 2.2 Desenvolvimento do modelo de simulação em tempo real

A simulação do modelo chaveado do gerador DFIG que faz parte do sistema descrito na Seção anterior exige o uso de um passo de solução suficientemente pequeno para representar corretamente os eventos dinâmicos de chaveamento dos conversores. Em termos gerais, a literatura técnica mostra que passos da ordem de 1  $\mu$ s devem ser utilizados para conversores eletrônicos com frequência de chaveamento de até 5 kHz [9]. Entretanto, a representação do modelo completo nesse passo de simulação exigiria recursos computacionais extremadamente altos. Assim, a abordagem utilizada neste trabalho é a de dividir o modelo e utilizar vários passos de solução, múltiplos entre eles, em função dos componentes representados em cada subsistema.

A Figura 4 descreve graficamente a divisão realizada nesse trabalho. Num núcleo de processamento tipo CPU do SDTR é modelada a rede de transmissão, considerando as máquinas síncronas de geração. Este subsistema é executado com  $T_{s1}$  de 20  $\mu$ s. Por outro lado, o sistema DFIG é simulado de forma separada numa placa tipo FPGA utilizando  $T_{s2} = 250$  ns para os conversores VSC e  $T_{s3} = 500$  ns para o modelo de máquina de indução. Finalmente, o controle dos conversores back-to-back é efetuado num segundo núcleo tipo CPU do SDTR (usando o mesmo  $T_{s1}$  de 20  $\mu$ s). A comunicação entre as duas plataformas de cômputo acontece de forma síncrona através de uma conexão PCI.

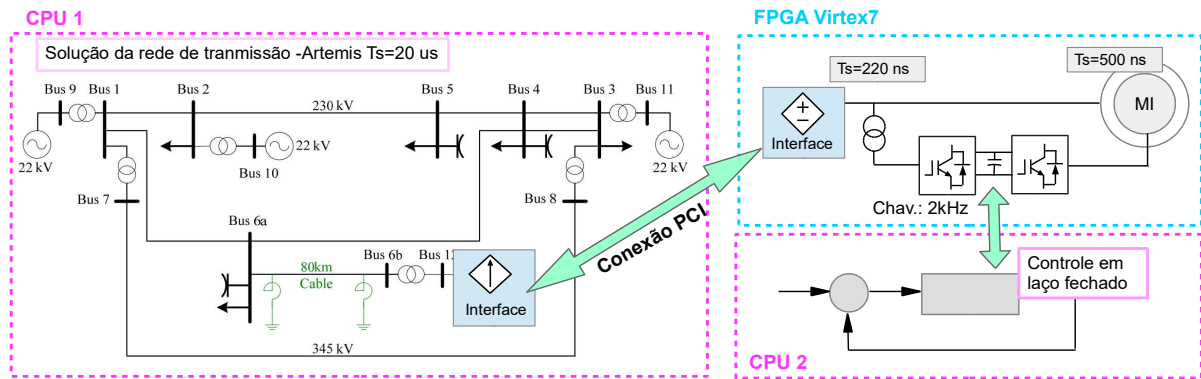


Figura 4 – Descrição da separação do modelo para co-simulação em tempo-real.

### 2.2.1 Modelagem do subsistema 1 com ARTEMIs

O SDTR disponível no Laboratório de Redes Elétricas Inteligentes do Cepel (Lab SG-1) utiliza a plataforma de modelagem Simulink como interface de programação. No Simulink os componentes disponíveis na biblioteca da toolbox *Simscape Electrical* podem ser empregados para representar o sistema elétrico de interesse. ARTEMIs é um solver desenvolvido pela OPAL-RT que interpreta os modelos elétricos do Simulink e cria suas equações diferenciais utilizando algoritmos de solução discretos mais estáveis numericamente para simulação em tempo real [10]. Uma tela da programação gráfica no núcleo de processamento CPU1 é apresentada na Figura 5. Podem ser observados os blocos que representam eletricamente as linhas de transmissão (em todos os casos utilizando modelo de parâmetros distribuídos de Bergeron), as máquinas síncronas de geração (dentro dos blocos de cor verde, utilizando modelos detalhados com controladores de excitatriz e de potência), e uma fonte equivalente, que faz o papel de barra swing no sistema. Este bloco recebe duas entradas dos outros subsistemas do modelo, as correntes injetadas pelo gerador DFIG e sinais de comando para emulação de falhas na rede.

Por outro lado, na CPU2 é programado o controle dos conversores VSC, conforme descrito na Seção 2.1. As variáveis de saída destes controladores são os pulsos de chaveamento PWM que são enviados de forma digital para o modelo executado na FPGA.

### 2.2.2 Modelagem do subsistema 2 com eHs

De forma similar a como acontece com o subsistema representado nos processadores tipo CPU, no caso do modelo implementado em FPGA também é utilizada a plataforma Simulink como interface gráfica de programação. Neste caso, o solver eHS da OPAL-RT interpreta os componentes passivos e chaves para criar um algoritmo de solução EMT baseado na modelagem de Dommel [11], utilizando o modelo de chave de Circuito Discreto Associado [12]. A Figura 6 descreve graficamente a programação efetuada neste trabalho. As equações dinâmicas do motor de indução são representadas de forma independente e integradas com o restante do sistema utilizando novamente o método de transformador ideal.

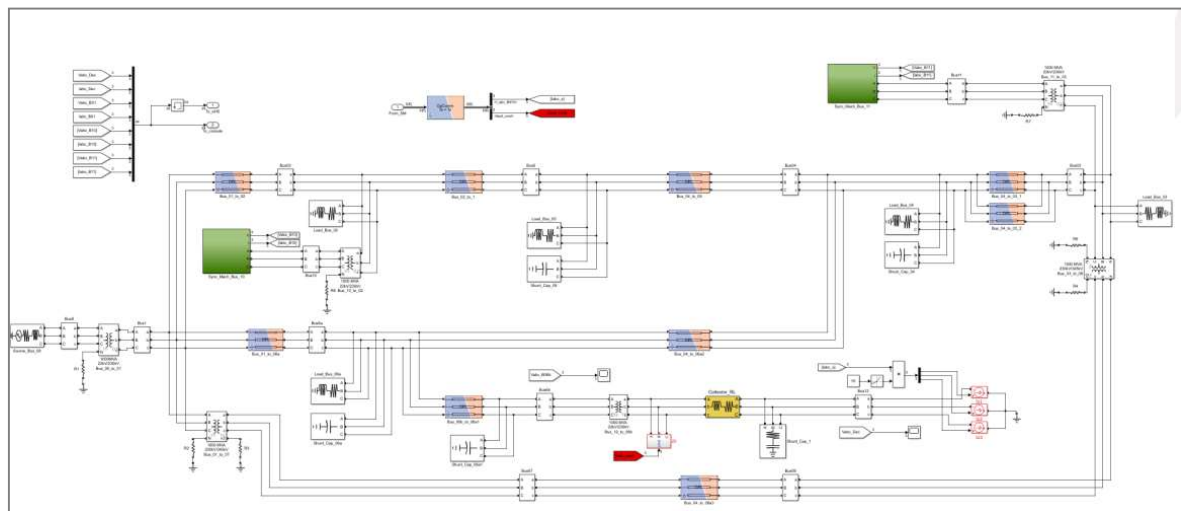


Figura 5 – Programação em Simulink da CPU1.

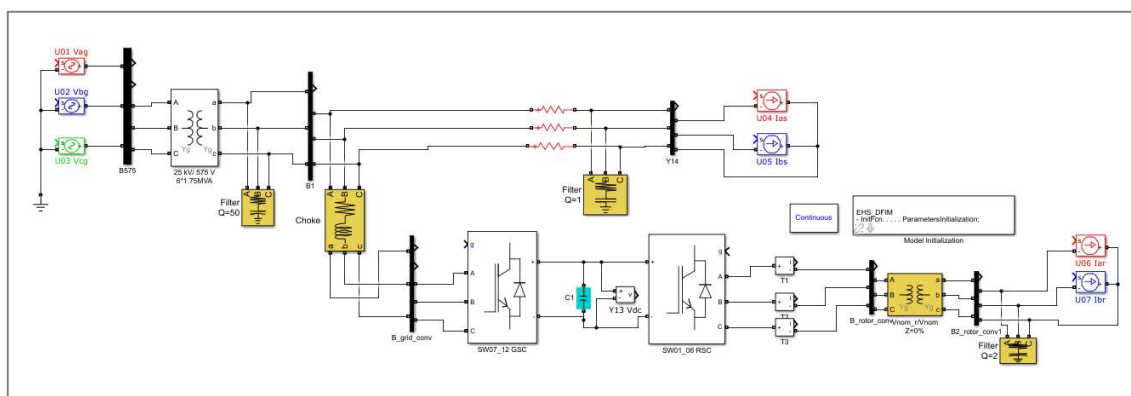


Figura 6 – Programação em Simulink do subsistema 2, que roda em FPGA.

### 2.2.3 Algoritmo de interface entre os subsistemas modelados

Conforme apresentado pela Figura 4, no total três subsistemas são utilizados para solucionar o benchmark da TB575: i) rede elétrica de transmissão, ii) conversor back-to-back e iii) máquina de indução. O acoplamento destes subsistemas é realizado com o AI de transformador ideal, no qual, conforme descrito graficamente pela Figura 7, são utilizadas fontes controladas de tensão e de corrente como interface entre os dois subsistemas. De forma mais detalhada, a tensão (tensões no caso multifásico) no Ponto de Acoplamento de um dos subsistemas é medida e alimentada como fonte variável de tensão no outro subsistema, no qual sua a corrente é medida e realimentada no primeiro subsistema. Esta abordagem introduz um atraso de um ciclo entre a troca dos sinais, conforme apresentado, cuja relevância na exatidão da representação vai depender do passo de simulação, dos componentes harmônicos das ondas intercambiadas e das impedâncias equivalentes dos subsistemas [6].

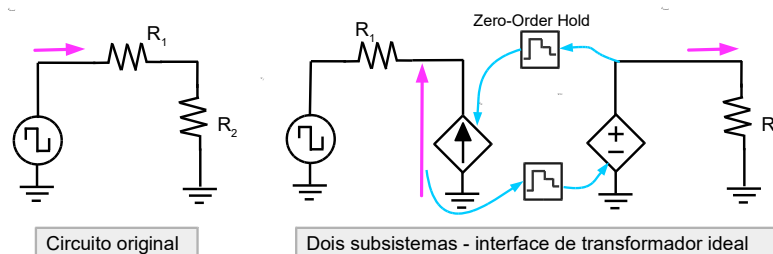


Figura 7 – Descrição do AI de Transformador Ideal.

A Figura 8 mostra a aplicação deste AI para o sistema em estudo. O subsistema back-to-back tem duas interfaces com o subsistema do motor de indução (uma no circuito do estator e outra no circuito do rotor). Em ambos os casos, pela característica indutiva do motor, a parte do AI que atua como fonte de corrente controlada é a correspondente ao conversor, enquanto a fonte de tensão controlada é alocada no lado do motor. Por outro lado, na integração entre o circuito back-to-back e o restante da rede, o sistema DFIG é visto como uma fonte equivalente de corrente controlada. Um fator de agrupamento é utilizado de forma que a potência injetada pelo DFIG seja equivalente a 14 plantas eólicas idênticas à modelada operando simultaneamente, representando assim um parque eólico com potência nominal de 350 MVA.

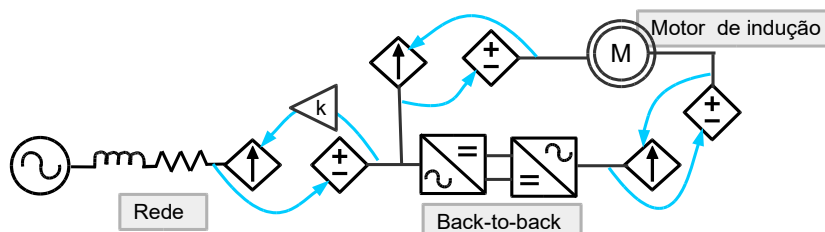


Figura 8 – Aplicação do AI Transformador Ideal na modelagem do sistema benchmark.

### 2.2.4 Tempo de Compilação e uso de recursos do SDTR

A Tabela 1 mostra de os principais parâmetros de desempenho dos núcleos tipo CPU do SDTR utilizados na modelagem do benchmark. Observa-se que, em ambos os casos, são utilizados aproximadamente 50% dos recursos de cômputo disponíveis, com passo médio de 9,40  $\mu$ s para a CPU1 e 8,80  $\mu$ s para a CPU2. Não existem eventos de over-runs, indicando uma correta execução da modelagem efetuada. O tempo de compilação deste modelo foi de 5 minutos e 17 segundos. Em termos do desempenho da FPGA, vale mencionar que o passo mínimo atingível para o sistema representado é de 235 ns.

Tabela 1 – Desempenho dos núcleos CPUs do SDTR.

CPU	Subsistema	Ciclo de execução	$T_{s-min}$	$T_{s-max}$	$T_{s-média}$
CPU 1	Modelo do sistema de transmissão	47%	9,15 $\mu$ s	9,70 $\mu$ s	9,40 $\mu$ s
CPU 2	Controlador do DFIG e interface com modelo da FPGA	44%	8,32 $\mu$ s	9,42 $\mu$ s	8,80 $\mu$ s

## 3.0 ANÁLISE DE RESULTADOS

### 3.1 Comparação entre a simulação em tempo real e simulação off-line

A primeira análise realizada neste trabalho foi a de comparar o desempenho do SDTR com uma modelagem equivalente off-line (ou seja, com execução fora do tempo real). Para isso foi desenvolvido um modelo de simulação auxiliar no qual todo o sistema benchmark do Cigré (incluindo o gerador DFIG) é executado usando o mesmo passo de simulação. Este modelo foi desenvolvido na plataforma *Simscape Electrical* do Simulink. Como o modelo off-line não requer da separação do sistema este não utiliza o Algoritmo de Interface, o que tem como vantagem a inexistência de atrasos na simulação do sistema; como contrapartida, no modelo off-line não pode ser utilizado o fator de agregação da Figura 8, o que se traduz numa desvantagem na hora de ser requerida a representação de vários geradores DFIG operando em paralelo, pois nesse caso se faria necessária a modelagem de cada um deles, aumentando assim a complexidade do modelo, com suas consequências no incremento do tempo de execução.

Para a referida comparação foi aplicado um evento de curto-circuito pleno monofásico na barra 1, ver Figura 1, aplicado no instante  $t = 1,22$  s e com duração de 50 ms, para os dois sistemas digitais de simulação (co-simulação no SDTR e simulador off-line). A Figura 9 mostra uma comparação gráfica das tensões e correntes na barra 12, que é de especial importância para a co-simulação, pois constitui o ponto de acoplamento entre a modelagem em CPU e em FPGA. Conforme observado na figura, existe uma adequada correspondência entre os resultados das duas ferramentas de simulação, considerando os comportamentos dinâmicos originados pelo evento assimétrico representado. Este resultado valida a estabilidade numérica e veracidade, em termos de exatidão, da estratégia de co-simulação proposta neste trabalho.

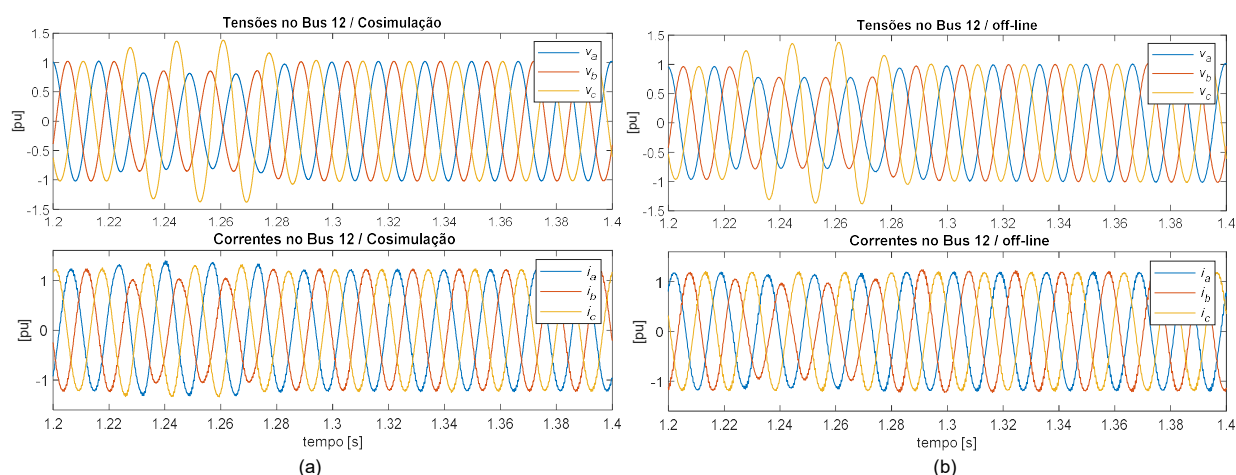


Figura 9 – Tensões e correntes no Bus 12 após curto-circuito na barra 1: (a) co-simulação em tempo real, (b) modelo auxiliar de simulação off-line.

Vale destacar que a simulação do modelo off-line do sistema benchmark, utilizando um computador pessoal com processador Intel® Core™ i7-6700 @3.4 GHz, de 1,5 segundos no modelo digital precisou de um tempo de execução de 7 minutos e 30 segundos. Enquanto a co-simulação em tempo real acontece em sincronismo com o tempo terrestre.

### 3.1 Eventos dinâmicos na barra de acoplamento – co-simulação



Para demonstrar a estabilidade numérica do modelo desenvolvido foram realizados casos de simulação de curto-circuitos do tipo monofásico e trifásico no terminal de acoplamento entre os dois subsistemas (barra 12), que constitui um cenário mais severo do analisado na Seção anterior. Assim, como nos resultados da Seção anterior, em todos os casos o instante de aplicação da falha é  $t = 1,22$  s. Destaca-se que o ensaio efetuado corresponde à avaliação de suportabilidade diante de afundamentos o gerador DFIG

### 3.1.1 Aplicação de curto-circuito monofásico

A Figura 10 mostra as correntes, tensões e potência injetada no gerador DFIG durante o evento de curto-circuito monofásico. Observa-se de forma clara o deslocamento do neutro que existe durante o evento na fase A. Conforme apontado na literatura, a contribuição à corrente de curto do gerador DFIG não ultrapassa o valor de duas vezes a corrente nominal, e mostrado também que o sistema consegue rapidamente voltar à condição pré-falha assim que retirada a falta. Em termos da potência injetada, observa-se que esta sai do valor de referência de 350 MVA durante o evento, mostrando uma oscilação durante a falta, porém voltando à condição normal.

Outra variável de interesse é a tensão no barramento CC, apresentada na Figura 11. Esta variável é relevante pois um correto nível da tensão CC é fundamental para a efetividade do controle do MSC. Neste sentido, observa-se que para o evento monofásico existe um desvio dinâmico inferior a 10%, o que satisfaz uma correta operação do sistema. Finalmente, a Figura 12(a) mostra as variáveis no ponto de acoplamento (barra 12) calculadas pelo processador CPU1, observa-se um comportamento totalmente correspondente com o resultante no subsistema da FPGA, mostrando a adequação do AI de transformador ideal para o sistema representado, inclusive no caso de transientes dinâmicos severos, como são os curtos-circuitos. A Figura 12(b), por sua vez, mostra que a inércia do gerador síncrono da barra 10 é o suficientemente grande ( $H = 5$  s na potência nominal de 700 MVA) para não evidenciar grandes variações nos seus terminais durante o evento, considerando também que o local da falha está distante eletricamente da barra 10, ver Figura 1.

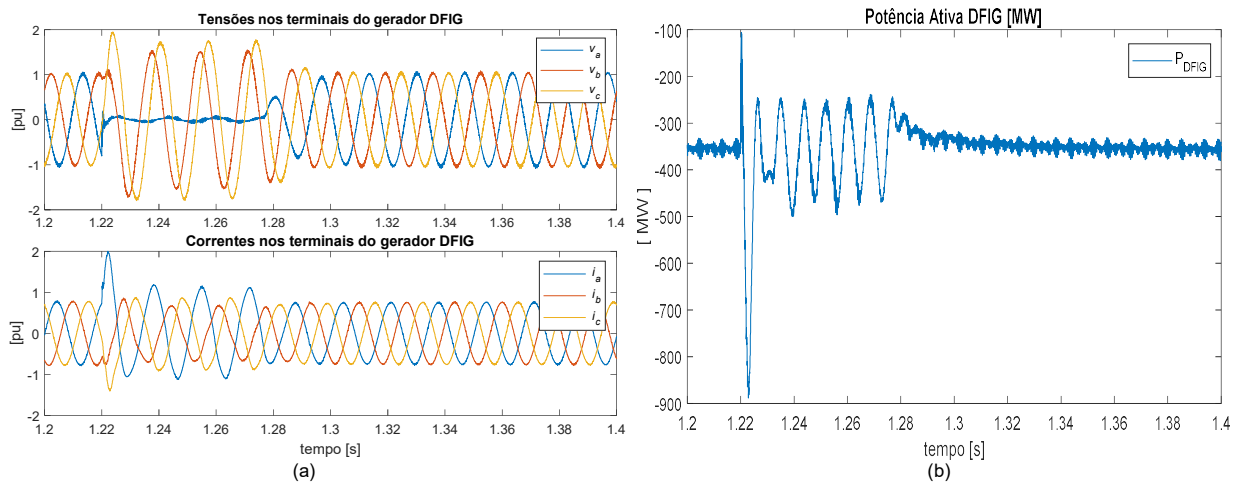


Figura 10 – Variáveis nos terminais da usina eólica - curto monofásico: (a) tensões e correntes, (b) potência injetada.

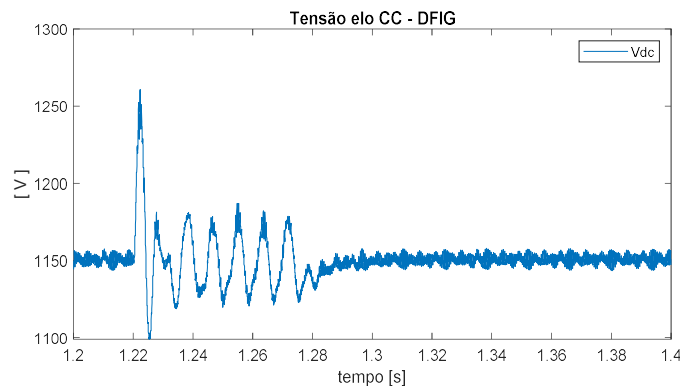


Figura 11 – Tensão no barramento CC do conversor back-to-back -curto monofásico.

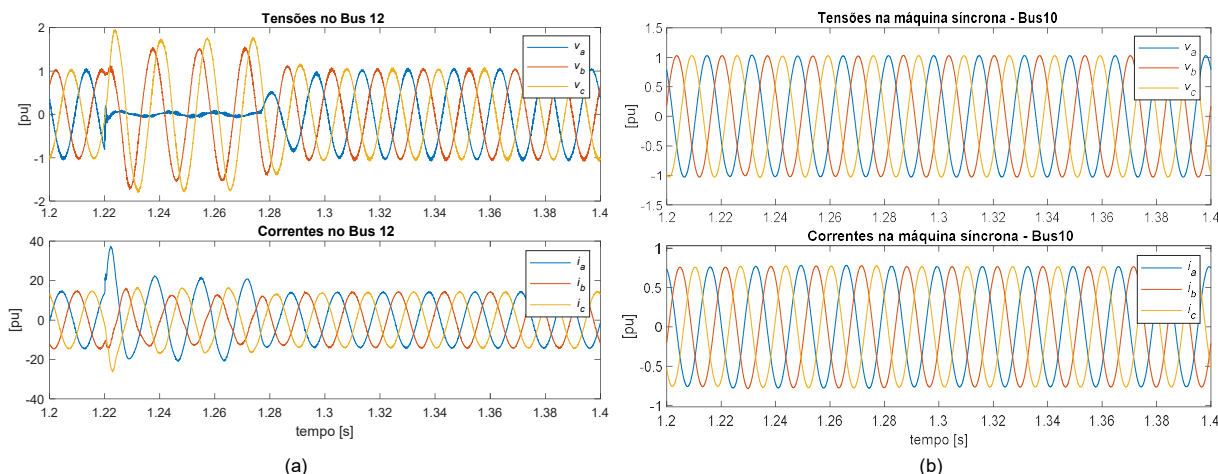


Figura 12 – Resultados complementais -curto monofásico: (a) variáveis no barramento 12 (subsistema rede), (b) variáveis nos terminais do gerador síncrono do barramento 10.

### 3.1.2 Aplicação de curto-circuito trifásico

Foi também simulado um afundamento do tipo trifásico a neutro nos terminais do gerador DFIG, o que é obtido mediante um curto-circuito trifásico pleno na barra 12. Os resultados deste evento são apresentados na Figura 13. Observam-se sobrecorrentes transitórias no ponto de acoplamento, bem como um grande aumento de tensão CC. Isto é consequência da falta de um circuito limitador (*chopper*) no elo CC do conversor back-to-back, componente que faz parte dos sistemas DFIG industriais. Este componente não foi incluído na presente modelagem porque o foco do trabalho está na validação da co-simulação em tempo real e não no controle do conversor back-to-back. Vale destacar, entretanto, que o sistema consegue voltar a suas condições pré falha depois de removido o curto-circuito, o que mostra a estabilidade da simulação como um todo.

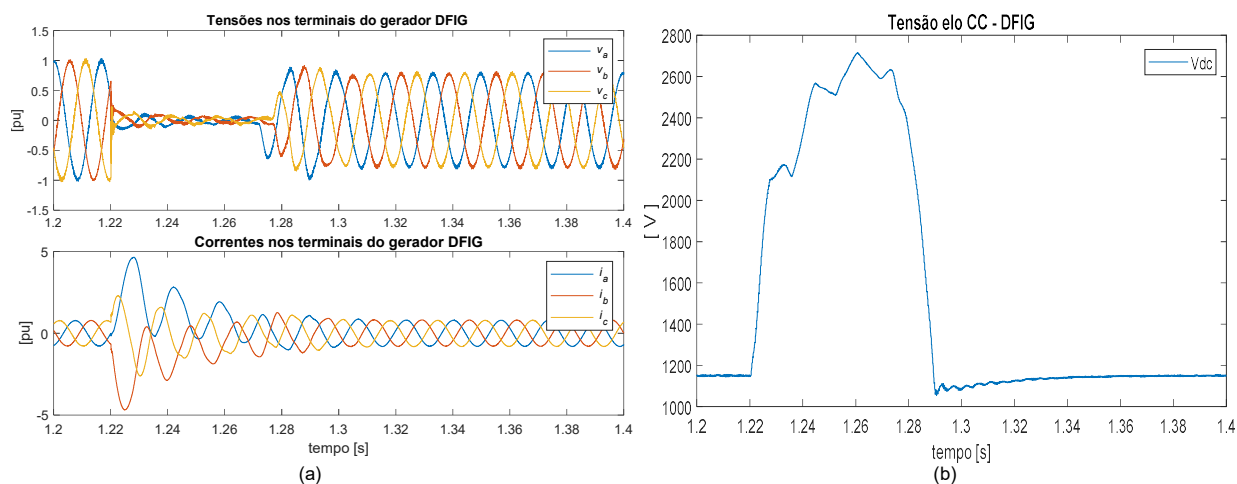


Figura 13 – Variáveis nos terminais da usina eólica -curto trifásico: (a) tensões e correntes, (b) tensão do elo CC.

A Figura 14 mostra a potência injetada pelo DFIG neste evento. Como apresentado, o gerador para o fornecimento de potência durante o curto e volta a valores próximos ao de pré-falha depois de superado o defeito. Este comportamento está diretamente atrelado à lógica de controle, portanto específico para cada produto.



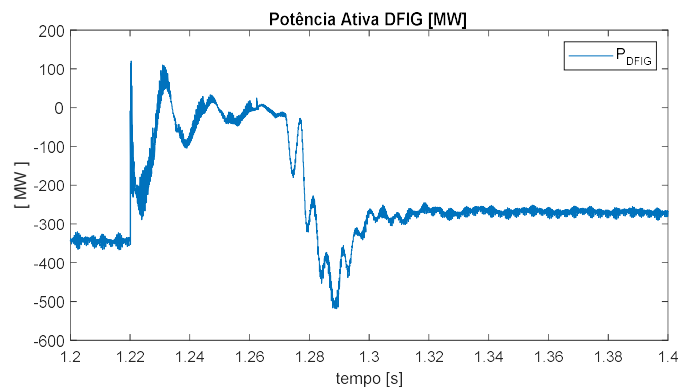


Figura 14 – Potência injetada pelo gerador DFIG durante o evento de curto-circuito trifásico.

#### 4.0 CONCLUSÕES

Este trabalho mostra que a co-simulação em tempo real é uma técnica apropriada para representar sistemas complexos com várias constantes de tempo, diminuindo o requisito de recursos computacionais que seriam necessários no caso de uma simulação com único passo de solução. Este trabalho utilizou como caso de estudo o modelo de transmissão da Technical Brochure 575 “*Benchmark Systems for Network Integration of Renewable and Distributed Energy Resources*”, para o qual um sistema de controle simplificado para um gerador DFIG foi projetado e validado através de simulações, considerando eventos dinâmicos severos, como são os curto-circuitos. Destaca-se que este controlador carece de algumas das funcionalidades dos sistemas reais, como é o uso de circuitos auxiliares de *chopper* e *crowbar*.

Com a abordagem utilizada neste trabalho foi demonstrado também que é possível combinar recursos de cômputo do tipo CPUs e FPGA na solução do mesmo sistema digital, em função das constantes de tempo do modelo representado, possibilitando assim a criação de bancadas HIL para avaliação de sistemas de controle dentro do contexto de maior penetração de geração renovável intermitente no sistema elétrico brasileiro.

Futuros trabalhos baseados no atual desenvolvimento incluem:

- A replicação da técnica utilizada neste trabalho, pelo Laboratório de Redes Elétricas Inteligentes do Cepel (Lab SG1), na modelagem de sistemas brasileiros, servindo como uma ferramenta para projeto, validação e análise de desempenho em sistemas reais.
- Estudos de estabilidade numérica do Algoritmo de Interface de Transformador ideal, com foco na avaliação de sensibilidade do fator de agregação, passo de simulação dos subsistemas, e as impedâncias equivalentes dos subsistemas.

#### 5.0 REFERÊNCIAS BIBLIOGRÁFICAS

- [1] J. Montoya *et al.*, “Advanced laboratory testing methods using real-time simulation and hardware-in-the-loop techniques: a survey of smart grid international research facility network activities,” *Energies*, vol. 13, no. 12, p. 3267, 2020.
- [2] R. Seguin, J. Woyak, D. Costyk, J. Hambrick, and B. Mather, “High-Penetration PV Integration Handbook for Distribution Engineers,” 2016.
- [3] R. Brundlinger *et al.*, “Lab tests: Verifying that smart grid power converters are truly smart,” *IEEE Power and Energy Magazine*, vol. 13, no. 2, IEEE, pp. 30–42, Feb-2015.
- [4] Cigré Task Force C6.04, “575 - Benchmark Systems for Network Integration of Renewable and Distributed Energy Resources.” Available in <https://e-cigre.org/publication/575-benchmark-systems-for-network-integration-of-renewable-and-distributed-energy-resources>, 2014.
- [5] S. Chatzivasileiadis *et al.*, “Cyber-Physical Modeling of Distributed Resources for Distribution System Operations,” *Proc. IEEE*, vol. 104, no. 4, pp. 789–806, 2016.
- [6] G. F. Lauss, M. O. Faruque, K. Schoder, C. Dufour, A. Viehweider, and J. Langston, “Characteristics and Design of Power Hardware-in-the-Loop Simulations for Electrical Power Systems,” *IEEE Trans. Ind. Electron.*, vol. 63, no. 1, pp. 406–417, Jan. 2016.
- [7] A. Yazdani and R. Iravani, *Voltage-sourced converters in power systems: modeling, control, and applications*. Wiley Online Library, 2010.
- [8] N. W. Miller, W. W. Price, and J. J. Sanchez-gasca, “Dynamic Modeling of GE 1.5 and 3.6 Wind Turbine-

- Generators," 2003.
- [9] M. Matar and R. Iravani, "FPGA Implementation of the Power Electronic Converter Model for Real-Time Simulation of Electromagnetic Transients," *IEEE Trans. Power Deliv.*, vol. 25, no. 2, pp. 852–860, Apr. 2010.
  - [10] C. Dufour, J. Mahseredjian, and J. Bélanger, "A combined state-space nodal method for the simulation of power system transients," *IEEE Trans. Power Deliv.*, vol. 26, no. 2, pp. 928–935, 2010.
  - [11] H. W. Dommel, *EMTP theory book*. Microtran Power System Analysis Corporation, 1996.
  - [12] P. Pejovic and D. Maksimovic, "A method for fast time-domain simulation of networks with switches," *IEEE Trans. Power Electron.*, vol. 9, no. 4, pp. 449–456, Jul. 1994.

## DADOS BIOGRÁFICOS



OSCAR SOLANO RUEDA obteve o título de engenheiro eletricitista (2011) pela Universidad Industrial de Santander, e os títulos de mestre (2014) e doutor (2019) em Engenharia Elétrica pela Universidade Federal do Rio de Janeiro (UFRJ), ambos na área de Eletrônica de Potência. Desde 2014 é pesquisador do Centro de Pesquisas de Energia Elétrica – Cepel. Suas áreas de atuação são simulação digital em tempo-real, ensaios hardware-in-the-loop, modelagem e controle de conversores eletrônicos de potência, microrredes híbridas e redes elétricas inteligentes.

(2) CESAR JORGE BANDIM é engenheiro eletrônico graduado pela UFRJ em 1988 e mestre em Engenharia Elétrica pela COPPE/UFRJ em 1991. Desde 1989 é funcionário do Centro de Pesquisas de Energia Elétrica – Cepel, ocupando atualmente o cargo de Pesquisador IV, sendo responsável pelo Laboratório de Medição de Energia Elétrica - LabMed, e sendo também membro da Equipe da Secretaria Executiva da Comissão de Política de Tecnologia da Eletrobras. Suas áreas de atuação são redes elétricas inteligentes, geração distribuída, simulação em tempo-real, ensaios hardware-in-the-loop, medição e combate às perdas de energia elétrica.

(3) MARCOS ANTONIO GOMES DA SILVA - Graduado em Engenharia de Automação em Controle pelo CEFET/RJ (2014). M.Sc. em Engenharia Elétrica pelo CEFET/RJ (2019). Técnico de Laboratório do Cepel - Centro de Pesquisas de Energia Elétrica desde 2006. Atualmente é responsável pelo Laboratório de Ensaio de Eficiência em Máquinas Elétricas e em Transformadores – AP4. Faz parte da equipe do Laboratório de Redes Elétricas Inteligentes do CEPEL e do Laboratório de Calibração. Trabalhou na ELETROBRÁS TERMONUCLEAR (2001-2006). Também trabalhou na empresa de MONTAGENS E PROJETOS ESPECIAIS S/A (2000-2001). Possui dois artigos científicos publicados.

(4) MARCOS VINÍCIOS LIMA DOS SANTOS - Estagiário do Laboratório de Redes Elétricas Inteligentes do CEPEL atuando nas seguintes atividades: desenvolvimento de sistemas embarcados para o controle de conversores de geração eólica, solar e microrredes; desenvolvimento de simulações em tempo real para estudos de integração de renováveis utilizando uma bancada P-HIL (Power Hardware-in-the-loop); implementação de rotinas de automação em Python para a realização de ensaios de conformidade para inversores de geração distribuída seguindo as normas IEEE 1547.1 e ABNT NBR 16149; suporte na análise de dados e investigação de falhas de conversores de usinas eólicas; suporte no comissionamento e configuração de equipamentos para ensaios.